

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-223507

(43)Date of publication of application : 30.08.1996

(51)Int.Cl.

HO4N 5/57  
G09G 3/28  
HO4N 5/66

(21)Application number : 07-030589

(71)Applicant : FUJITSU GENERAL LTD

(22)Date of filing : 20.02.1995

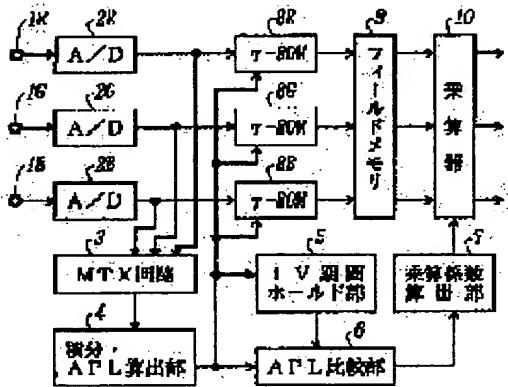
(72)Inventor : OTAWARA MASAYUKI

## (54) VIDEO SIGNAL AMPLITUDE LIMIT CIRCUIT

### (57)Abstract:

PURPOSE: To suppress a sense of incongruity due to a change in the luminance of a screen of a PDP(plasma display panel) when an APL of a video signal is rapidly and largely changed.

CONSTITUTION: Video signals of each color from input terminals 1R, 1G, 1B are given to A/D converter sections 2R, 2G, 2B, in which the signals are converted into digital signals, which are subject to gamma correction by  $\alpha$ -ROMs 8R, 8G, 8B and the resulting signals are stored in a field memory 9. Data from each A/D converter section are given to a matrix circuit 3, where the data are matrix processing, integrated by an integration APL calculation section 4, in which the APL of each field is calculated. The resulting data are held for a 1 field period by a 1V period hold section 5. The data extracted from the 1V period hold section 5 are compared with data received subsequently by the 1V period hold section 5 at an APL comparison section 6 and data of APL difference are given to a multiplication coefficient calculation section 7. The multiplication coefficient calculation section 7 calculates a prescribed multiplication coefficient depending on the difference from the APL and the coefficient is given to a multiplier 10, in which the coefficient is multiplied with data read out of the field memory and the result is outputted.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-223507

(43)公開日 平成8年(1996)8月30日

(51)Int.Cl.*	識別記号	序内整理番号	F I	技術表示箇所
H 04 N 5/57			H 04 N 5/57	
G 09 G 3/28		4237-5H	G 09 G 3/28	K
H 04 N 5/66	101		H 04 N 5/66	101 B

審査請求 未請求 請求項の数6 OL (全4頁)

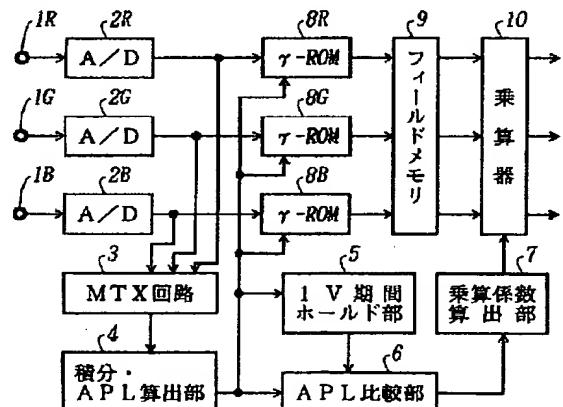
(21)出願番号	特願平7-30589	(71)出願人	000006611 株式会社富士通ゼネラル 神奈川県川崎市高津区末長1116番地
(22)出願日	平成7年(1995)2月20日	(72)発明者	大田原 正幸 川崎市高津区末長1116番地 株式会社富士 通ゼネラル内

## (54)【発明の名称】 映像信号振幅制限回路

## (57)【要約】

【目的】 映像信号のA P Lが急激に大きく変化した場合のP D P (プラズマディスプレイパネル)の画面の輝度の変化による違和感を抑制する。

【構成】 入力端子1R、1G、1Bよりの各色の映像信号をA/D変換部2R、2G、2Bでデジタル変換し、γ-R O M8R、8G、8Bでγ補正し、フィールドメモリ9に記録する。各A/D変換部よりのデータをマトリクス回路3でマトリクスし、積分・A P L算出部4で積分し、各フィールドのA P Lを算出する。このデータを1V期間ホールド部5で1フィールドの期間データをホールドする。A P L比較部6にて、1V期間ホールド部より取出したデータを次に1V期間ホールド部に入力されるデータと比較し、A P Lの差のデータを乗算係数算出部7に入力する。乗算係数算出部はA P Lの差に応じて所要の乗算係数を算出し、乗算器10に入力し、フィールドメモリより読み出したデータに乗算して出力する。



1

## 【特許請求の範囲】

【請求項1】 入力される映像信号の平均輝度レベルを算出するA P L算出部と、A P L算出部よりのデータをホールドするデータホールド部と、データホールド部にホールドされたデータを取り出し、データホールド部に次に入力されるデータと比較してA P Lの差を出力するA P L比較部と、A P L比較部よりのデータに基づいて所要の係数を算出する乗算係数算出部と、乗算係数算出部よりの係数を前記映像信号に乗算する乗算器とからなり、乗算器よりの映像信号を出力するようにした映像信号振幅制限回路。

【請求項2】 入力される映像信号をデジタルデータに変換するA／D変換部を設け、前記A P L算出部に積分回路を設けてA／D変換部よりのデータを積分し平均輝度レベルを算出するようにすると共に、前記乗算器にて、乗算係数算出部よりのデータを前記映像信号に乗算するようにした請求項1記載の映像信号振幅制限回路。

【請求項3】 入力される赤、緑および青の各映像信号別に設けられ各映像信号をそれぞれデジタルデータに変換するA／D変換部と、各A／D変換部よりの赤、緑および青のデジタルデータをマトリクスするマトリクス回路とを設け、マトリクス回路よりのデータを前記A P L算出部に入力するようにして構成した請求項1または請求項2記載の映像信号振幅制限回路。

【請求項4】 前記A P L算出部にて各フィールドの平均輝度レベルを算出し、前記データホールド部は入力されるデータを1フィールドの期間ホールドするようにすると共に、前記A／D変換部よりのデータを記録するフィールドメモリを設け、前記乗算器にて、乗算係数算出部よりの係数をフィールドメモリより読出したデータに乗算するようにした請求項2または請求項3記載の映像信号振幅制限回路。

【請求項5】 前記乗算係数算出部は、A P L比較部よりのデータに基づいて算出した係数に、所要時間の経過する都度経過時間に対応して設定された値を乗算し、徐々に1に近づく係数を出力するようにした請求項1、請求項2、請求項3または請求項4記載の映像信号振幅制限回路。

【請求項6】 前記乗算係数算出部に、A P Lの差別に設定されると共にそれぞれ経過時間に対応して設定された乗算係数を記憶するデータテーブルを設け、前記A P L比較部よりのデータに対応し、経過時間に対応する乗算係数を取出して出力するようにした請求項1、請求項2、請求項3または請求項4記載の映像信号振幅制限回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は映像信号振幅制限回路に係り、映像信号のA P L（平均輝度レベル）の変化が大きい場合に表示器に印加される映像信号の振幅を徐々に

2

可変し、輝度の変化を目立たなくするものに関する。

## 【0002】

【従来の技術】 表示器にプラズマディスプレイパネル（PDP）を使用する場合、PDPは点灯のためのプラズマ放電によって温度が上昇し、性能が劣化するという問題がある。このため、PDPの駆動回路にA P C（automatic power control）回路を設け、PDPの消費電力を計測し、この値が所要値以上にならないように電流制限を行っているが、PDPの消費電力は映像信号の表示率（全白の映像信号の全画素の輝度レベルの積算値に対する一画面の全画素の映像信号輝度レベルの積算値の比率）に略比例しているので、図3に示すように、入力される映像信号の表示率が予め決められた値（例えば、40%）以上の場合に輝度／コントラストを制御し、輝度を低下させ、消費電力を制限している。上述のように、このA P C動作によって画面の輝度が変化する訳であるが、A P C回路の追随動作が、例えば、数秒間をかけて徐々に行われるため、映像信号の表示率が急激に大幅に変化した場合、輝度の低下する様子が目視でも容易に判り、違和感を呈するという問題がある。すなわち、図2（イ）に示すaの特性のように、入力映像信号が全黒（表示率・略0%）から全白（略100%）に変化した場合、画面の輝度は、図2（ロ）に示すb特性のように、映像信号が全白に変わった直後は輝度が急上昇し、それから数秒の間に徐々に輝度が低下する。なお、上記表示率は映像信号のA P Lで表すことができる。

## 【0003】

【発明が解決しようとする課題】 本発明はこのような点に鑑み、入力映像信号のフィールド間のA P Lを比較して変化を監視し、A P Lの変化の大きさに応じて所要の係数を算出し、この係数を映像信号に乗算することにより、画面の輝度の変化を緩やかにし、A P Lの急変時の画面の輝度の変化を目立たなくすることにある。

## 【0004】

【課題を解決するための手段】 本発明は上述の課題を解決するため、入力される映像信号の平均輝度レベルを算出するA P L算出部と、A P L算出部よりのデータをホールドするデータホールド部と、データホールド部にホールドされたデータを取り出し、データホールド部に次に入力されるデータと比較してA P Lの差を出力するA P L比較部と、A P L比較部よりのデータに基づいて所要の係数を算出する乗算係数算出部と、乗算係数算出部よりの係数を前記映像信号に乗算する乗算器とからなり、乗算器よりの映像信号を出力するようにした映像信号振幅制限回路を提供するものである。

## 【0005】

【作用】 以上のように構成したので、本発明による映像信号振幅制限回路においては、入力映像信号の各フィールドのA P Lを前のフィールドのA P Lと比較し、差の大きさに応じて相応する係数を算出し、この係数を乗算

器で映像信号に乘算して出力する。上記係数は、時間の経過と共に徐々に1に近づける。

【0006】

【実施例】以下、図面に基づいて本発明による映像信号振幅制限回路の実施例を詳細に説明する。図1は本発明による映像信号振幅制限回路の一実施例の要部ブロック図である。図において、1R、1Gおよび1Bはそれぞれ映像信号入力端子で、赤、緑および青の各色の映像信号を入力する。2R、2Gおよび2BはそれぞれA/D変換部で、映像信号入力端子1R、1Gあるいは1Bよりの映像信号をそれぞれデジタルデータに変換する。3はマトリクス回路で、A/D変換部2R、2Gおよび2Bよりの各色の映像信号をマトリクスする。4は積分・APL算出部で、マトリクス回路3よりのデータを1フィールド分を積分し、各フィールドのAPL（平均輝度レベル）を算出する。5は1V期間ホールド部で、積分・APL算出部4よりのデータを次のフィールドのAPLデータが入力されるまでの間、ホールドする。6はAPL比較部で、1V期間ホールド部5にてホールドされたデータを取り出し、今回1V期間ホールド部5に入力されるデータと比較し、APLの差を出力する。7は乗算係数算出部で、APL比較部6よりのデータに相応する乗算係数を算出する。8R、8Gおよび8Bはそれぞれガンマ係数を記憶する $\gamma$ -ROM（読み専用ガンマ係数メモリ）で、積分・APL算出部4よりのデータに対応するガンマ係数によりA/D変換部2R、2Gあるいは2Bよりのデータをガンマ補正する。9はフィールドメモリで、 $\gamma$ -ROM8R、8Gおよび8Bよりのデータをそれぞれ1フィールド分記録する。10は乗算器で、フィールドメモリ9より1フィールド遅れで読み出される各色のデータに乗算係数算出部7よりのデータを乗算して出力する。

【0007】次に、本発明による映像信号振幅制限回路の動作を説明する。映像信号入力端子1R、1Gまたは1Bより入力した赤、緑および青の各色の映像信号はA/D変換部2R、2Gまたは2Bにそれぞれ入力し、デジタルデータに変換され、 $\gamma$ -ROM8R、8Gまたは8Bに入力し、積分・APL算出部4よりのデータに相応する係数によりガンマ補正され、フィールドメモリ9に入力して1フィールド分を記録する。前記A/D変換部2R、2Gおよび2Bよりのデータはマトリクス回路3にも入力してマトリクスされる。マトリクスされたデータは積分・APL算出部4に印加され、内蔵の積分回路で1フィールド分を積分し、各フィールドのAPLを算出する。積分・APL算出部4よりのデータは1V期間ホールド部5およびAPL比較部6に入力する。1V期間ホールド部5は1Vの期間、すなわち次のフィールドのAPLデータの算出されるまでの間、入力されたデータをホールドする。そして、積分・APL算出部4より次のフィールドのAPLデータが出力されたとき、APL比較部6にて、このフィールドのAPLデータを1V期間ホールド部5より

取出したAPLデータと比較し、APLの差を出力する。APL比較部6よりのデータは乗算係数算出部7に入力し、2つのフィールドのAPLの差に応じた係数を算出し、この係数を乗算器10に入力し、フィールドメモリ9より読み出された各色の映像信号にそれぞれ乗算する。

【0008】上記乗算係数算出部7は、APL比較部6よりのデータの大きさに対応する乗算係数を算出し、この乗算係数を時間の経過と共に徐々に1に近づく値に演算して出力する。すなわち、例えば、APLが大幅に上昇し、このAPLが次のフィールド以降も続いた場合、最初のフィールドでは0.8、次のフィールドでは0.81、その次のフィールドでは0.82、……の如く徐々に1に近づく係数を出力する。これにより、図2（イ）に示す特性aのように映像信号入力端子1R等よりの映像信号が黒から白に急激に変化した場合、乗算器10より出力される映像信号は特性a'の如く黒から白に徐々に変化するものとなり、従ってPDPの駆動回路等に内蔵されるAPC回路の電流制限量は映像信号が黒から白に急変した場合に比べて低くなり、輝度の変化量が抑えられ、かつ、この電流制限の度合は時間と共に徐々に変わるので、画面の輝度は、図2（ロ）に示す如く、映像信号に乗算係数を乗算しない場合は特性bであったものが、特性b'の如く輝度の変化が抑えられ、目視では画面の輝度の変化が不自然に感じられないものとなる。

【0009】前記乗算係数算出部7に、APLの差別に設定されると共にそれぞれ経過時間に対応して設定された乗算係数を記憶するデータテーブルを設け、APLの変化の大きさに相応する係数を時間の経過に従って順次読み出し、乗算器10に出力するようにしてもよい。なお、各 $\gamma$ -ROMの次にフィールドメモリ9を設けたのは、APL比較部6より1フィールド遅れでデータが出力されるので、被乗算映像信号をこの遅延に合わせるためにある。また、上記ではフィールド間のAPLの差を比較するもので説明したが、線順次走査の映像信号の場合はフレーム間でAPLの差を比較するようにする。

【0010】

【発明の効果】以上に説明したように、本発明による映像信号振幅制限回路によれば、入力される映像信号のフィールド間のAPLの差に応じて所要の係数を映像信号に乗算して出力するので、映像信号のAPLが急激に変化した場合のPDPの輝度の変化による違和感を和らげることができる。

【図面の簡単な説明】

【図1】本発明による映像信号振幅制限回路の一実施例の要部ブロック図である。

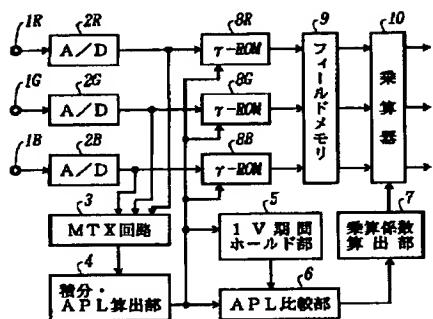
【図2】本発明による映像信号振幅制限回路の動作を説明するための図で、映像信号の入力レベルの変化（イ）に対する輝度の変化（ロ）の一例の図である。

【図3】APC動作を説明するための図である。

## 【符号の説明】

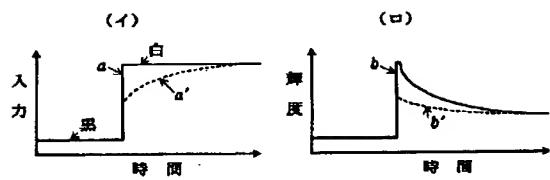
1R、1G、1B 映像信号入力端子  
 2R、2G、2B A/D変換部  
 3 マトリクス回路  
 4 積分・A P L算出部  
 5 1V期間ホールド部

【図1】



6 A P L比較部  
 7 乗算係数算出部  
 8R、8G、8B γ-ROM  
 9 フィールドメモリ  
 10 乗算器

【図2】



【図3】

